

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2005年9月29日 (29.09.2005)

PCT

(10)国際公開番号  
WO 2005/091372 A1

(51)国際特許分類<sup>7</sup>: H01L 29/78

(21)国際出願番号: PCT/JP2005/004834

(22)国際出願日: 2005年3月17日 (17.03.2005)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:  
特願2004-083233 2004年3月22日 (22.03.2004) JP

(71)出願人(米国を除く全ての指定国について): 関西電力株式会社 (THE KANSAI ELECTRIC POWER CO., INC.) [JP/JP]; 〒5308270 大阪府大阪市北区中之島三丁目6番16号 Osaka (JP).

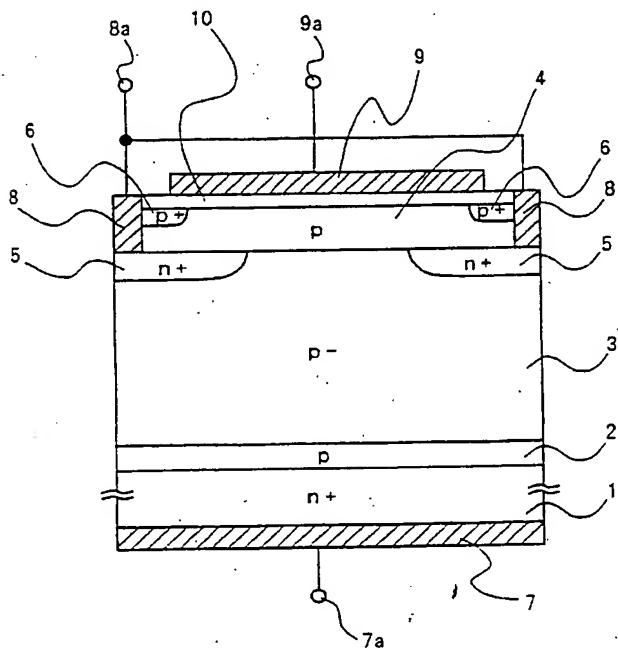
(72)発明者; および  
(75)発明者/出願人(米国についてのみ): 浅野 勝則 (ASANO, Katsunori) [JP/JP]; 〒5308270 大阪府大阪市北区中之島三丁目6番16号 関西電力株式会社内 Osaka (JP). 菅原 良孝 (SUGAWARA, Yoshitaka) [JP/JP]; 〒5308270 大阪府大阪市北区中之島三丁目6番16号 関西電力株式会社内 Osaka (JP).

(74)代理人: 東島 隆治 (HIGASHIMA, Takaharu); 〒5400001 大阪府大阪市中央区城見1丁目3番7号 IMPビル 青山特許事務所 Osaka (JP).

[続葉有]

(54) Title: VOLTAGE-CONTROLLED SEMICONDUCTOR DEVICE

(54)発明の名称: 電圧制御型半導体装置



(57) Abstract: The channel resistance of the inversion channel of an SiC-IGBT is high because of the influence of the surface state of the influence of the surface state of the interface between the gate insulating film and the base layer, and the ON voltage is high. Reduction of this high ON voltage has been required. In a base layer formed on emitter layer of an SiC semiconductor, a buried collector region is partly formed. A channel layer is formed over the base layer and the buried collector region to form an accumulation channel. With this, during the ON time, holes are accumulated in the upper layer part of the channel layer to form a low-resistance channel. The current due to holes flows through the channel extending from the collector region to the emitter layer and becomes the base current of an npn transistor constituted of the buried collector region, the base layer, and the emitter layer.

(57) 要約: SiC-IGBTは、ゲート絶縁膜とベース層との界面の表面位置の影響によって、反転型チャネルのチャネル抵抗が高くオン電圧が高いが、このオン電圧を低くすることが求められている。SiC半導体のエミッタ層の上に形成したベース層に、部分的に埋込コレクタ領域を形成する。ベース層及び埋込コレクタ領域上にチャネル層を形成し、蓄積型チャネルを構成する。

[続葉有]

WO 2005/091372 A1